

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05029479 A**(43) Date of publication of application: **05.02.93**

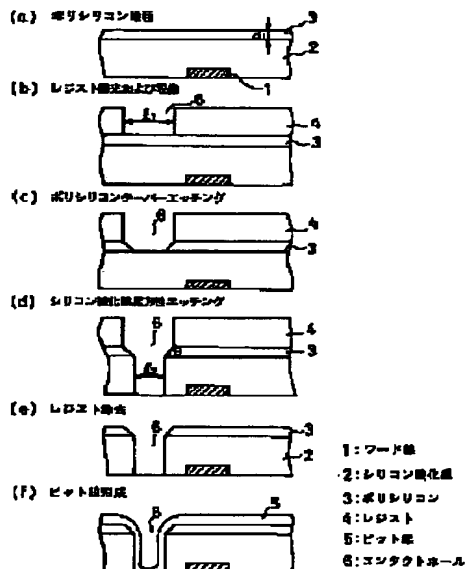
(51) Int. Cl.

**H01L 21/90****H01L 21/302****H01L 21/3205**(21) Application number: **04000788**(22) Date of filing: **07.01.92**(30) Priority: **14.01.91 JP 03 2626**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **MIYAGAWA YASU HARU****(54) SEMICONDUCTOR DEVICE AND FORMING METHOD OF CONTACT HOLE THEREOF****(57) Abstract:**

**PURPOSE:** To provide a method of being able to form sufficiently a microscopic contact hole, which is required for such a high-integration degree semiconductor device as a realization is shortly expected, by an exciting 1 line stepper or the like.

**CONSTITUTION:** In the case a contact hole 6 is formed, a polysilicon film 3 is deposited on a silicon oxide film 2 and thereafter, a resist pattern 4 having a hole part of a diameter larger than a targeted contact hole diameter is formed, the above polysilicon film 3 exposed in the hole part of said pattern is etched in a tapered form using the pattern 4 as a mask and the above film 2 is etched using the polysilicon film 3 as a mask to form the contact hole 6. The diameter of the microscopic contact hole 6 is formed into a diameter of 0.5 $\mu$ m or shorter.

COPYRIGHT: (C)1993,JPO&amp;Japio



\* 発明の第 1 の実施例

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 9 4 7 9

(43) 公開日 平成 5 年 (1993) 2 月 5 日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/90	C	7353-4M		
21/302	M	7353-4M		
21/3205	C	7353-4M		
		7353-4M	H01L 21/88	F
			審査請求 未請求	請求項の数 2 (全 7 頁)

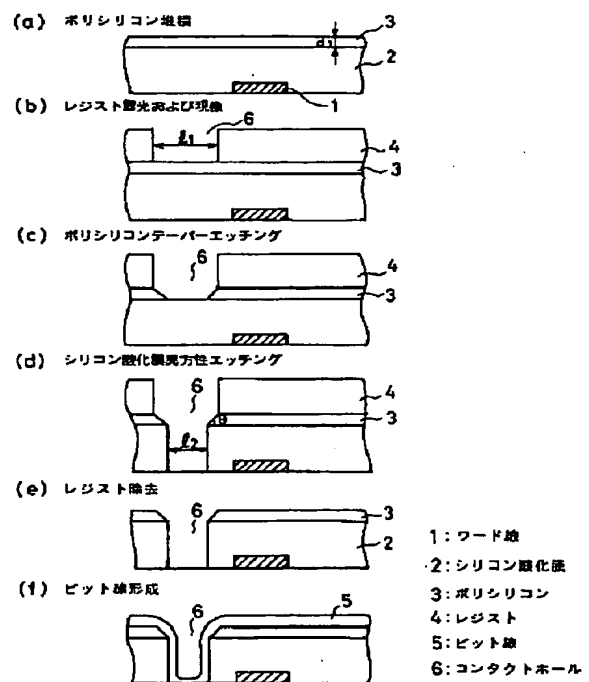
(21) 出願番号	特願平 4 - 7 8 8	(71) 出願人	0 0 0 0 0 2 9 5 沖電気工業株式会社 東京都港区虎ノ門 1 丁目 7 番 1 2 号
(22) 出願日	平成 4 年 (1992) 1 月 7 日	(72) 発明者	宮川 康陽 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電 気工業株式会社内
(31) 優先権主張番号	特願平 3 - 2 6 2 6	(74) 代理人	弁理士 鈴木 敏明
(32) 優先日	平 3 (1991) 1 月 1 4 日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびそのコンタクトホールの形成方法

(57) 【要約】

【目的】 本発明は、今後実現されるような高集積度の半導体装置に必要な、径 0.5  $\mu$ m 以下の微小コンタクトホールを、既存の i 線ステッパーなどで十分形成できる方法を提供するものである。

【構成】 前述の目的のために、本発明はコンタクトホールの形成に当たり、シリコン酸化膜 2 上にポリシリコン 3 を堆積してから、目標のコンタクトホールの径よりも大きい径のレジストパターン 4 を形成し、それをマスクにして該パターンのホール部に露出した前記ポリシリコン 3 をテーパ状にエッチングし、そこをマスクにして前記シリコン酸化膜 2 をエッチングして、コンタクトホールを形成するようにした。



本発明の第 1 の実施例

## 【特許請求の範囲】

【請求項 1】 半導体装置のコンタクトホールを形成する方法として、

(a) 半導体基板上に絶縁膜を形成し、その上に導電材を堆積する工程と、

(b) 前記堆積した導電層の上に、コンタクトホール形成のためのマスクパターンを、目標とするコンタクトホールの径よりも大きい径で形成する工程と、

(c) 前記マスクパターンをマスクにして、該マスクパターンのホール底部に露出した前記導電層をテーパ状にエッチングする工程と、

(d) 前記テーパ状に形成された導電層と前記マスクパターンとをマスクにして、前記絶縁膜を異方的にエッチングする工程と

を含むことを特徴とするコンタクトホールの形成方法。

【請求項 2】 半導体記憶装置のストレージ電極部を形成する方法として、

(a) 半導体基板上に、トランジスタなど回路素子を形成し、その上に絶縁層と導電層とを 1 層以上積層する工程と、

(b) 前記積層した膜の上に、コンタクトホール形成のためのマスクパターンを、目標とするコンタクトホールの径より大きい径で形成する工程と、

(c) 前記マスクパターンをマスクにして、前記積層した絶縁層と導電層の上層をテーパ状にエッチングする工程と、

(d) 前記テーパ状に形成された層をマスクにして、その下の層をエッチングしてコンタクトホールを形成する工程と、

(e) 前記までに形成された構造の上に、導電材を堆積してストレージ電極部形成のためのパターニングを行ない、前記積層した層のうち絶縁層を除去する工程と、

(f) 前記絶縁層を除去した後に残った前記導電層の上にキャパシタ膜を形成し、その上にストレージ電極となる導電層を形成する工程と

を含むことを特徴とする半導体装置の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置におけるコンタクトホールの形成方法に関するものであり、より微小なコンタクトホールを現在のホトリソグラフィ装置で形成する方法を提供するとともに、その応用として半導体記憶装置のストレージ電極部の形成方法を提供するものである。

## 【0002】

【従来の技術】 半導体装置の高集積化には、コンタクトホール径の縮小が必要不可欠であり、代表的な半導体記憶装置である 4 メガビットダイナミックランダムアクセスメモリー (4 M<sup>1</sup> DRAM) では、0.8 μm 程度、16 M<sup>1</sup> DRAM では 0.5 μm 程度、さらに 64 M<sup>1</sup>

DRAM では 0.35 μm 程度の径のコンタクトホールが要求されている。以下、縮小化の要求が最も厳しいダイナミックランダムアクセスメモリーのビット線コンタクトホールを例に挙げ、それを図 2 に第 1 の例として示し、以下順を追って説明する。

【0003】 図 2 (a) 半導体基板 (図示せず) 上にワード線 1 形成後、その上に形成したシリコン酸化膜 2 上にレジスト 4 を塗布する工程、図 2 (b) レジスト 4 を縮小投影型露光機 (ステッパ) で露光した後、有機溶媒などで現像し、コンタクトホール 6 部のパターンを形成する工程、図 2 (c) レジスト 4 をマスクにシリコン酸化膜 2 をフルオロカーボンプラズマなどにより、異方的にエッチングしてコンタクトホール 6 を形成する工程、図 2 (d) レジスト 4 を O<sub>2</sub> プラズマで除去する工程を順次行なうことにより達成される。そして図 2

(e) のように、このコンタクトホール 6 にビット線材をスパッタリングなどで堆積し、パターニングすることによりビット線 5 が形成される。

【0004】 ここで、ビット線コンタクトホール径は前記 (b) の工程ではば決定されるので、微細ビット線コンタクトホール形成には、レジストを微小寸法に露光、現像することが必要不可欠である。つまり、ステッパの解像度が要求され、ビット線コンタクトホール径と同程度であることが必要である。

【0005】 ステッパの解像度は、一般に  $R = K \lambda / NA$  ( $R$ : ステッパの解像度、 $\lambda$ : 光源の波長、 $NA$ : レンズの開口数、 $K$ : レジストプロセスにより決定される係数、通常 0.8) で表わされるので、0.5 μm 径のレジストパターンを形成するには  $NA = 0.5$  程度の i 線スパッター ( $\lambda = 365 \text{ nm}$ )、または  $NA = 0.4$  程度の KrF エキシマレーザーステッパ ( $\lambda = 248 \text{ nm}$ ) が必要とされている。

【0006】 前述したビット線コンタクトホールの形成は、コンタクトホール形成の基本とも言つてよいものであり、その技術の一つの適用例として、導体記憶装置のストレージ電極部の形成方法の従来例を、図 3 に従来例その 2 として示し以下に順に説明する。

【0007】 図 3 (a) 半導体基板 11 上に、周知の方法で素子分離膜 13 を形成し、それで分離された領域に、ゲート酸化膜 14、ゲート電極 15、ソース、ドレインとなる拡散層 12 からなるトランジスタなどの回路素子を形成する工程、図 3 (b) その上に絶縁膜である窒化シリコン 16 を堆積する工程、図 3 (c) その上に、絶縁膜であるシリコン酸化 (酸化けい素) 膜 17、導電材のポリシリコン (多結晶けい素) 膜 18、絶縁膜のシリコン酸化膜 19 を順次堆積し、コンタクトホール 30 をパターニング開口する工程、図 3 (d) その上にポリシリコン膜 21 を形成し、図 3 (e) ストレージ電極部となるためのパターニングを行ない、図 3 (f) 前記シリコン酸化膜 17、19 をふっ化水素水溶液で除去

する工程、図3(g)残った櫛状の前記ポリシリコン膜18、21の上に、キャパシタ膜22を形成して、その上にストレージ電極となるポリシリコン23を堆積し、その後セルプレート、ビット線を形成する工程を実施することにより半導体記憶装置のストレージ電極部を中心にした構造が形成される。

【0008】このような構造にすると、ストレージ電極(ポリシリコン)23の上、下、横面にキャパシタ膜22が形成されたものとなり、キャパシタ容量が増加し、ソフトエラー耐性のある半導体記憶装置が実現できる。

【0009】

【発明が解決しようとする課題】しかし、以上述べた方法のうちi線ステッパーを使用する方法では、例えば64M<sup>1</sup> DRAMで必要とされる0.35 $\mu$ m径程度のレジストパターンを形成することができないので、微細ビット線コンタクトホールおよびストレージ電極部を製作できないという問題点がある。

【0010】また、krfエキシマレーザーステッパーではNA=0.55程度のレンズを用いることにより0.35 $\mu$ m径程度のパターンを形成することが可能だが、(a) krfエキシマレーザーステッパーの寿命が10<sup>4</sup>ショット程度と短いので量産には不向きなこと、(b) krfエキシマレーザーステッパーの位置合わせ精度が $\pm 0.3\mu$ mとコンタクトホール径と同程度なので、パターンずれの危険性が高いといった問題点があり実用上満足できるものではない。

【0011】(c) また近來、位相差露光法が提案されているが、まだ実用性に問題が多い。

【0012】この発明は、前述の問題点を解決し、例えば16M<sup>1</sup> DRAM以降の半導体記憶装置で必要とされる0.5 $\mu$ m径以下のコンタクトホールを、前述の既存製造装置で容易に形成でき、従って高精度の半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明は、前述の目的達成のため、コンタクトホール形成方法において、絶縁膜であるシリコン酸化膜上に導電材であるポリシリコンを堆積してから、目標とするコンタクトホール径よりも大きな寸法の径をもつレジストパターンを形成し、このレジストをマスクとしてポリシリコンをテーパ状にエッチングし、かつシリコン酸化膜を異方的にエッチングする条件でコンタクトホールのエッチングを行なうようにしたものである。また、その技術を応用して半導体記憶装置のストレージ電極部を形成するようにしたものである。

【0014】

【作用】本発明は前述のように、目標のコンタクトホールの径より大きい径のレジストパターンで目標のコンタクトホールを形成できるようにしたので、既存のi線ステッパーなどで十分微小なコンタクトホールを形成で

き、従って半導体記憶装置の集積度も向上する。

【0015】

【実施例】図1はこの発明の基本とも言える第1の実施例を示す工程断面図であり、以下順に説明する。

【0016】図1(a)従来同様、まずワード線1形成後、その上に形成した絶縁膜であるシリコン酸化膜2上に導電材であるポリシリコン3を堆積する。

【0017】図1(b)その上にレジスト4を塗布し、露光および現像して、コンタクトホール部6をパターンニングする。

【0018】図1(c)次に、コンタクトホール部6内のポリシリコン3をテーパ状にエッチングする。なお、このテーパ状になる条件は後述する。

【0019】図1(d)次いで、前記レジスト4とテーパ状にしたポリシリコン3をマスクにして、シリコン酸化膜2を異方的にエッチングして、コンタクトホール6を形成する。

【0020】図1(e)そして、レジスト4をD<sub>1</sub>プラズマなどで除去し、図1(f)ビット線材をスパッタリングなどで堆積し、パターンニングしてビット線5を形成する。

【0021】なお、前記(c)および(d)の工程はフルオロカーボンプラズマを用いた同一エッチング条件で連続的に実行される。

【0022】前記(a)工程で堆積するポリシリコン膜厚d<sub>1</sub>、および(b)工程でのレジストパターン寸法l<sub>1</sub>は、図1(d)に示す目標とするビット線コンタクトホール径l<sub>1</sub>と(c)および(d)工程でのエッチング条件に依存する。

【0023】例えばl<sub>1</sub>=0.35 $\mu$ mにしたいとき、平行平板型のプラズマエッチング装置で、エッチングする場合、その条件を圧力0.6 Torr、エッチングガスAr/CHF<sub>3</sub>/CF<sub>4</sub>=800/20/20 SCCM、高周波電源周波数380 kHz、高周波電源電力750 W、電極間隔9 mm、上部電極冷媒温度20℃、下部電極冷媒温度-20℃とすると、ポリシリコン3のテーパ角 $\theta$ が45°となるので、l<sub>1</sub>、l<sub>1</sub>、d<sub>1</sub>、 $\theta$ の関係式l<sub>1</sub>=l<sub>1</sub>+2d<sub>1</sub>/tan  $\theta$ から、d<sub>1</sub>=0.1 $\mu$ mならばl<sub>1</sub>=0.55 $\mu$ m、d<sub>1</sub>=0.2 $\mu$ mならばl<sub>1</sub>=0.75 $\mu$ mと設定すればよい。

【0024】同様にl<sub>1</sub>=0.35 $\mu$ m目標のとき、平行平板型のプラズマエッチング装置でエッチングする場合、その条件を圧力1.0 Torr、エッチングガスAr/CHF<sub>3</sub>/CF<sub>4</sub>=800/80/80 SCCM、高周波電源周波数380 kHz、高周波電源電力750 W、電極間隔9 mm、上部電極冷媒温度20℃、下部電極冷媒温度-20℃とすると、ポリシリコンのテーパ角 $\theta$ が55°となるので、関係式l<sub>1</sub>=l<sub>1</sub>+2d<sub>1</sub>/tan  $\theta$ からd<sub>1</sub>=0.1 $\mu$ mならばl<sub>1</sub>=0.48 $\mu$ m、d<sub>1</sub>=0.2 $\mu$ mならばl<sub>1</sub>=0.62 $\mu$ mと設定すればよい。即

ち、既存の i 線ステッパーなどで十分形成できる範囲の設定である。

【0025】本実施例ではポリシリコン 3 を堆積した後、前記 (b) 以降の一連の工程を実行しているが、ポリシリコン 3 にリン (P) などの不純物をドーピングした後に (b) 以降の一連の工程を実行しても同様の効果を実現することが可能であり、本発明の範囲から除外するものではない。また本願発明をダイナミックランダムアクセスメモリー以外の IC にも適応できることは言うまでもない。

【0026】以上述べたコンタクトホール形成方法の考えを、半導体記憶装置のストレージ電極部の形成に適用した実施例が図 4 ないし図 5 に示す第 2 の実施例であり、以下、まずその工程を順に説明する。

【0027】図 4 (a) まず、従来同様、半導体基板 11 上に素子分離膜 13 を形成し、ゲート酸化膜 14、ゲート電極 15、ソース、ドレイン拡散層 12 などを形成する。

【0028】図 4 (b) 次に、その上にこれも従来同様、シリコン窒化膜 16 を堆積する。

【0029】図 4 (c) そしてさらに従来同様、シリコン酸化膜 17、ポリシリコン膜 18、シリコン酸化膜 19 を順次堆積、積層する。

【0030】図 4 (d) 次いでその上に、レジスト 20 を塗布し、コンタクトホール形成のためのパターニング 31 を行なう。このときのコンタクトホールパターン 31 の径を、図示の通り  $l_1$  とする。これは後述するように目標のコンタクトホールの径より大きい。

【0031】図 4 (e) そのパターン 31 をマスクにして、前記積層した最上層のシリコン酸化膜 19 をエッチングし、次いでその下のポリシリコン膜 18 をテーパ状にエッチングする。その条件は第 1 の実施例で説明した条件と同様であるが、後述もする。その後、そのテーパ状に形成されたポリシリコン膜 18 をマスクにして、その下層のシリコン酸化膜 17、シリコン窒化膜 16 をエッチングしてコンタクトホール 32 を形成する。その後前記レジスト 20 を除去する。

【0032】図 4 (f) 次いで、その上の全面にポリシリコン 21 を堆積する。

【0033】図 5 (g) そして、ストレージ電極部のパターニングを図のように従来同様行なう。

【0034】図 5 (h) 次いで、そのストレージ電極部の前記積層したシリコン酸化膜 17、19 をシリコン窒化膜 16 を保護膜としてふっ化水素水溶液で除去する。

【0035】図 5 (i) 前記シリコン酸化膜 17、19 除去で残ったポリシリコン膜 18、19 の上に従来同様キャパシタ膜 22 を形成する。

【0036】図 5 (j) そしてこれも従来同様、前記まで形成されたキャパシタ膜の上にストレージ電極となるポリシリコン 23 を形成し、セルプレートなどを形成

し、ストレージ電極部の形成を完了する。

【0037】前述の図 4 (d) で示したように、コンタクトホール形成のためのレジストパターン 20 のホールの径を  $l_1$ 、ポリシリコン膜 18 の厚さを  $d_1$ 、図 4 (e) でのポリシリコン膜 18 のテーパ角を  $\theta$  とすると、目標のコンタクトホールの径  $l_1$  は、第 1 の実施例でも説明したことから、下地段差の影響を考慮すると、 $l_1 \leq l_1 - 2d_1 / \tan \theta$  で表わされる。

10 【0038】従って、例えば 64M<sup>1</sup> DRAM で要求される  $l_1 = 0.35 \mu\text{m}$  を目標とした場合、第 1 の実施例で説明した通り所定の条件でエッチングすると種々のテーパ角を得られる。その説明にもある通り、テーパ角  $\theta$  を  $45^\circ$  にするには、上式から  $d_1 = 0.13 \mu\text{m}$  のとき  $l_1 = 0.61 \mu\text{m}$  でよいことになる。これは既存の i 線ステッパーなどでレジストパターンが十分できる値である。また、i 線ステッパーの位置合わせ精度の点から、 $d_1$  の値を決定することも可能であり、その精度を  $0.15 \mu\text{m}$  とすると、 $d_1 = 0.15 \mu\text{m}$  とすることにより i 線ステッパーの位置合わせずれを吸収すること

20 ができる。  
【0039】さらに例えば 256M<sup>1</sup> DRAM で要求される  $l_1 = 0.25 \mu\text{m}$  を目標とした場合にも、前記同様の条件で  $d_1 = 0.18 \mu\text{m}$  のとき、 $l_1 \geq 0.61 \mu\text{m}$  となり、やはり i 線ステッパーなどで十分パターン形成が可能である。

【0040】また、 $l_1 = 0.35 \mu\text{m}$  を目標とした場合、第 1 の実施例で説明した 2 番目の条件でエッチングするとテーパ角  $\theta$  が  $55^\circ$  となるので、 $d_1 = 0.18 \mu\text{m}$  のとき  $l_1 \geq 0.6 \mu\text{m}$  となり、やはり既存の i 線ステッパーなどで十分パターン形成ができる。前記同様の i 線ステッパーの位置合わせずれのことを考えると、その位置合わせ精度を  $0.15 \mu\text{m}$  とすると、 $d_1 = 0.21 \mu\text{m}$  とすることによりその位置合わせずれを吸収できる。

【0041】前記条件で  $l_1 = 0.25 \mu\text{m}$  を目標とした場合も、 $d_1 = 0.25 \mu\text{m}$  のとき、 $l_1 \geq 0.6 \mu\text{m}$  となり、これも十分既存の i 線ステッパーでパターン形成できる値である。

40 【0042】以上説明したように、本実施例によれば目標とする径のコンタクトホールを単に異方的に形成する場合に比べて、ストレージ電極の容量が増加するので、よりソフトエラー耐性のある半導体記憶装置が得られる。

【0043】以上説明したテーパ角をつけるエッチングは、他の条件でもできることは言うまでもない。例えば、ポリシリコン膜の厚さ  $d_1$  (図 4 では 18) を変化させることにより、コンタクトホール径  $l_1 \leq 0.35 \mu\text{m}$  を、コンタクトホールレジストパターン寸法  $l_1 \geq 0.6 \mu\text{m}$  で実現できるので、本発明の範囲からこれを

除外するものではない。

【0044】また、本実施例ではテーパ上にエッチングするポリシリコン膜は1層としたが、これは2層以上あっても同様の効果を得られるし、その全部の層をテーパ状にしなくても同様であることは無論であり、これも本発明の範囲から除外するものではない。

【0045】

【発明の効果】以上詳細に説明したようにこの発明によれば、シリコン酸化膜上にポリシリコンを堆積した後、目標とするコンタクトホール径より大きな径のレジストパターンを形成し、このレジストをマスクとしてポリシリコンをテーパ状にエッチングし、かつシリコン酸化膜を異方的にエッチングする条件でコンタクトホールをエッチングするようにしたので、ポリシリコン膜厚とエッチング条件を組合わせることにより、64M<sup>1</sup> DRAMなどの半導体記憶装置で要求されるハーフミクロン以下の径をもつコンタクトホールを既存のi線ステッパーなどを利用して形成することができる。

【0046】これにより、krFエキシマレーザーステ

ッパーなどに付随する実用上の問題点を解決して実用性の高い線コンタクトホール形成プロセスを確立することができる。

【0047】従って、既存のプロセスで、より高密度の半導体装置を製造できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図2】従来例その1

【図3】従来例その2

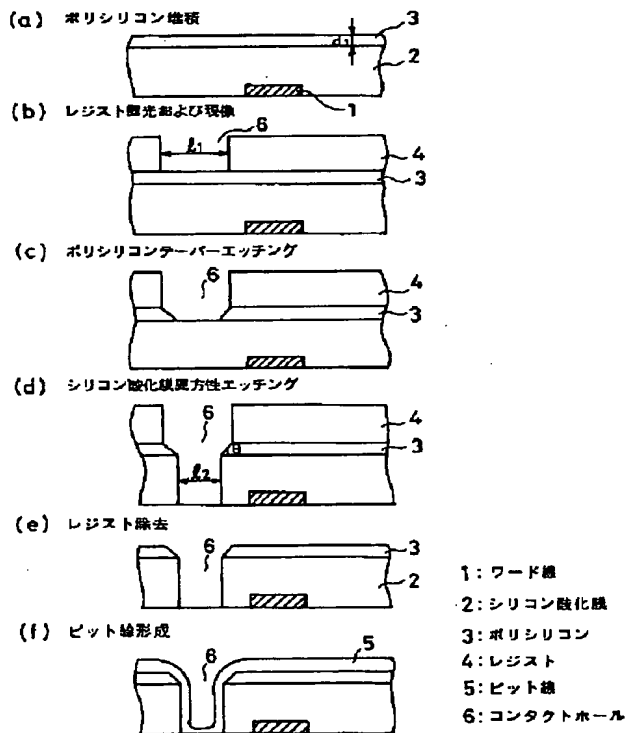
【図4】本発明の第2の実施例（その1）

【図5】本発明の第2の実施例（その2）

【符号の説明】

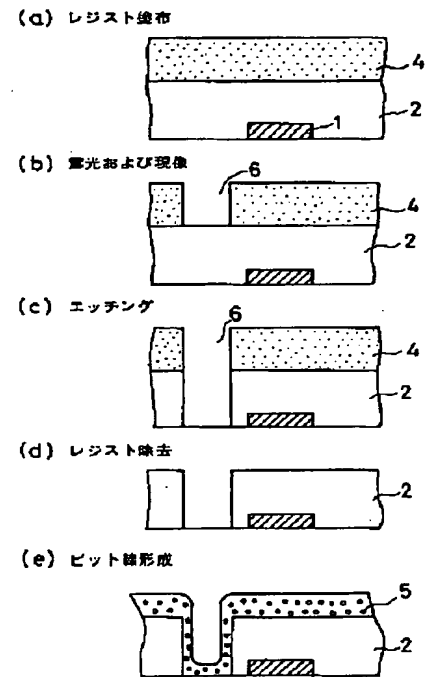
- |   |          |
|---|----------|
| 1 | ワード線     |
| 2 | シリコン酸化膜  |
| 3 | ポリシリコン   |
| 4 | レジスト     |
| 5 | ビット線     |
| 6 | コンタクトホール |

【図1】



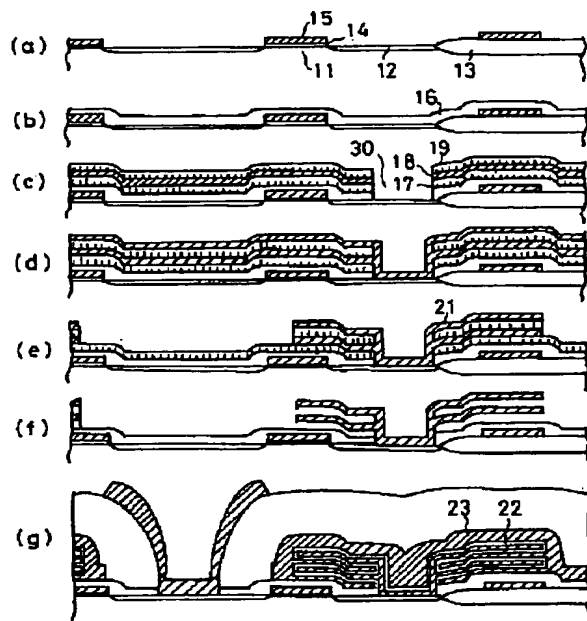
本発明の第1の実施例

【図2】



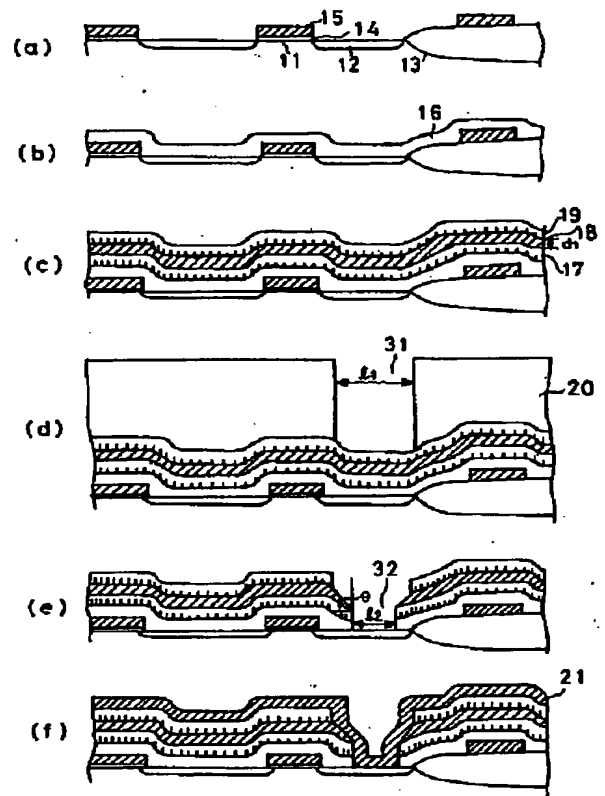
従来例その1

【図 3】



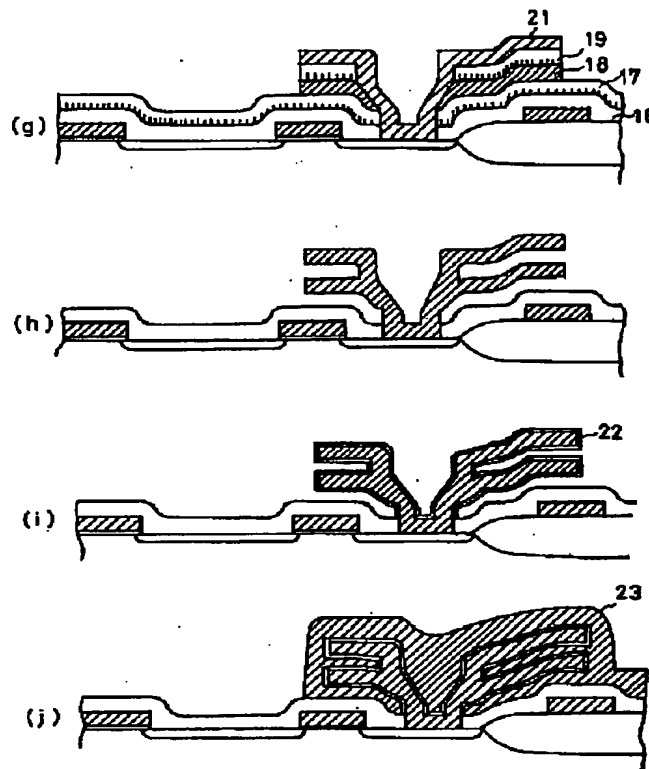
従来例その 2

【図 4】



本発明の第 1 の実施例 ( その 1 )

【 図 5 】



本発明の第 1 の実施例（その 1）